

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-245081

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

G06F 17/50

(21)Application number : 08-075176

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 04.03.1996

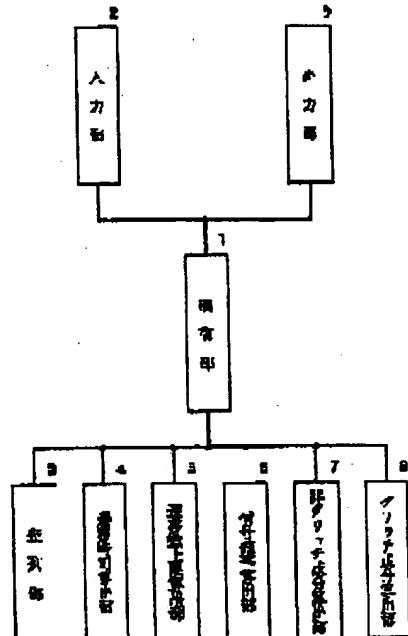
(72)Inventor : MIYAZAKI AKIHIKO  
ONOZAWA AKIRA

## (54) ESTIMATING METHOD FOR SIGNAL TRANSITION NUMBER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To calculate signal transition numbers fast for a large-scale circuit by calculating the transition numbers which consider delay distinctively between signal transition numbers due to a glitch and other signal transition numbers.

**SOLUTION:** An input part 2 inputs connection information on a combinational circuit and the signal probability of external input to the combinational circuit. A well-ordering part 3 performs topological sorting as to a logic gate according to the connection information on the combinational circuit. A transition time calculation part 4 finds the time when a logic signal has transition at the output of a logic gate in the combinational circuit. A signal probability calculation part 6 finds the signal probability of the logic gate in the combinational circuit. A non-glitch component calculation part 7 finds the transition number of each logic gate of a zero-delay model which does not consider delay. A glitch component calculation part 8 finds a transition number due to a glitch for a logic gate whose maximum transition number is  $\geq 2$ . Then an output part 9 outputs a list of transition numbers of respective logic gates in the combinational circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-245081

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl.  
G 0 6 F 17/50

識別記号

庁内整理番号

F I  
G 0 6 F 15/60

技術表示箇所  
6 6 4 Z  
6 5 8 T

審査請求 未請求 請求項の数2 FD (全7頁)

(21)出願番号

特願平8-75176

(22)出願日

平成8年(1996)3月4日

(71)出願人

000004226  
日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者

宮崎 昭彦  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者

小野澤 晃  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74)代理人

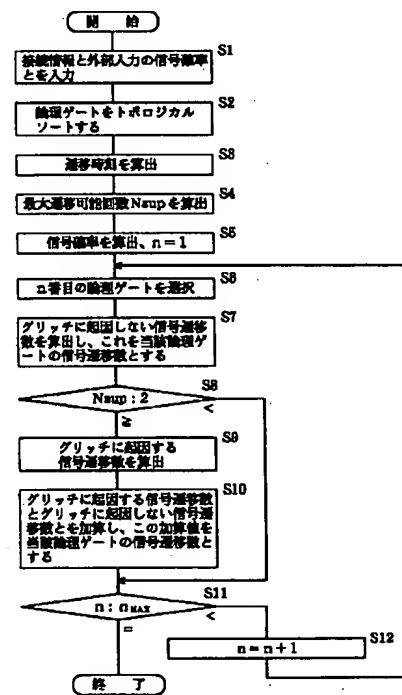
弁理士 川久保 新一

(54)【発明の名称】 信号遷移数の見積り方法

(57)【要約】

【課題】 従来手法と同程度の精度を維持しつつ、より大きな規模の組合せ回路について、その論理ゲートの遷移数を、より高速に見積る方法を提供することを目的とするものである。

【解決手段】 組合せ回路の信号遷移数を見積る場合、入力信号の遷移に応じて出力信号が安定するまでにその出力信号が遷移するグリッヂに起因する信号遷移数と、上記グリッヂに起因しない信号遷移数とを分離して、信号遷移数を求める方法である。



K2742

### 【特許請求の範囲】

【請求項1】 組合せ回路の信号遷移数を見積る方法において、

入力信号の遷移に応じて出力信号が安定するまでに上記出力信号が遷移するグリッチに起因する信号遷移数を所定論理ゲートについて求める段階と、上記所定論理ゲートについて上記グリッチに起因しない信号遷移数を求める段階とを分離することを特徴とする信号遷移数の見積り方法。

【請求項2】 請求項1において、

遅延を考慮しないゼロ遅延モデルに基づいて、上記所定論理ゲートが論理値1を出力する確率を求める第1の段階と；上記第1の段階によって求められた論理値1を出力する確率に基づいて、上記所定論理ゲートについて上記グリッチに起因しない信号遷移数を求める第2の段階と；遅延を考慮する慣性遅延モデルに基づいて、上記所定論理ゲートにおける信号遷移数の上限値を求める第3の段階と；上記第1の段階によって求められた上記所定論理ゲートが論理値1を出力する確率と、上記第3の段階によって求められた信号遷移数の上限値とに基づいて、上記所定論理ゲートにおいて上記グリッチが発生する確率を求める第4の段階と；上記所定論理ゲートに上記グリッチが入力される確率と、上記第1の段階によって求められた上記所定論理ゲートが論理値1を出力する確率に基づいて、上記所定論理ゲートの出力端子に上記グリッチが伝播する確率を求める第5の段階と；上記第4の段階によって求められたグリッチ発生確率と、上記第5の段階によって求められたグリッチ伝播確率とに基づいて、上記所定論理ゲートの出力におけるグリッチに起因する信号遷移数を求める第6の段階と；を有することを特徴とする信号遷移数の見積り方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSIの設計において、消費電力を予測する方法に関する。

【0002】

【従来の技術】まず、本明細書において、「論理ゲートの信号確率」は、論理ゲートが論理値1を出力する確率のことであり、「外部入力の信号確率」は、外部入力が論理値1を出力する確率のことである。また、クロック周期T<sub>c</sub>で動くCMOSLSIのフリップフロップとフリップフロップとの間に挿まれた組合せ回路部分について考える。この組合せ回路の外部からその組合せ回路に入力される信号には、時間的相関、空間的相関がなく、クロックに同期して、全ての外部入力端子において同時に、1周期当たり高々1回のみ信号遷移が起こり得るものとする。上記組合せ回路を構成する論理ゲートの数をn<sub>MAX</sub>とすると、この組合せ回路の負荷容量の充放電に伴う消費電力P<sub>av</sub>は次式で表される。

【0003】

### 【数1】

$$P_{av} = \frac{1}{2T_c} (V_{dd})^2 \sum_{i=1}^{n_{MAX}} C^{Y_i} N^{Y_i} \dots \dots (1)$$

ここで、V<sub>dd</sub>は、電源電圧であり、C<sup>Y<sub>i</sub></sup>は、論理ゲートY<sub>i</sub>の負荷容量であり、N<sup>Y<sub>i</sub></sup>は、論理ゲートY<sub>i</sub>の1周期当たりの遷移数である。クロック周期T<sub>c</sub>と電源電圧V<sub>dd</sub>とは、設計者によって定められており、論理ゲートY<sub>i</sub>の負荷容量C<sup>Y<sub>i</sub></sup>は、レイアウトの物理的情報よりも容易に算出可能である。したがって、組合せ回路に含まれる全ての論理ゲートについて、1周期当たりの遷移数が分かれれば、この組合せ回路で消費される電力を算出することが可能になる。

【0004】この1周期当たりの遷移数を確率的手法を用いて求める研究が近年盛んになされている。すなわち、組合せ回路の外部入力の信号確率を用いることによって、組合せ回路中に存在する各論理ゲートの1周期当たりの遷移数の期待値を求めようとする試みがなされている。

【0005】ところが、上記従来の研究の大半では、現実には遅延の存在によってグリッチが発生するにもかかわらず、その遅延を無視して研究が行われている。なお、グリッチは、入力信号の遷移に応じて論理ゲートの出力信号が安定するまでにその出力信号が遷移する現象のことである。このグリッチに起因する消費電力は、組合せ回路で消費する電力の15～20%を占め、極端な場合には40%を越える。したがって、消費電力を正確に見積るためにには、実遅延を考慮し、上記グリッチに起因する遷移数を算出することが必要不可欠である。

【0006】図3は、従来例における記号シミュレーションを説明する回路図であり、図4は、図3に示す回路のタイミング図である。

【0007】上記実遅延を考慮して信号遷移数を算出する手法としては、記号シミュレーションによる方法が知られている。この記号シミュレーションによる方法は、図3、図4に示すように、与えられた組合せ回路の各論理ゲートについて、遷移の起こり得る時刻を全て求め、この求められた各時刻において遷移が起こる確率を計算する方法である。

【0008】この記号シミュレーションを用いた上記例では、

$$\begin{aligned} c_0 &= \text{inv}(b_0) \\ c_1 &= \text{inv}(b_1) \\ d_0 &= a_0 \cdot c_0 = a_0 \cdot \text{inv}(b_0) \\ d_1 &= a_1 \cdot c_0 = a_1 \cdot \text{inv}(b_0) \\ d_2 &= a_1 \cdot c_1 = a_1 \cdot \text{inv}(b_1) \end{aligned}$$

である。なお、「inv(i)」は、信号iを反転した信号であることを示し、たとえば「inv(c<sub>0</sub>)」は、「信号c<sub>0</sub>の反転信号」を示す。

【0009】また、信号dの遷移数の期待値N<sup>d</sup>は、

$$\begin{aligned}
N^d = & 0 \times P(d_0 \cdot d_1 \cdot d_2 = 1) + 1 \times P(\text{inv}(d_0) \cdot d_1 \cdot d_2 = 1) + 2 \times P(d_0 \cdot \text{inv}(d_1) \cdot d_2 = 1) \\
& + 1 \times P(d_0 \cdot d_1 \cdot \text{inv}(d_2) = 1) + 1 \times P(\text{inv}(d_0) \cdot \text{inv}(d_1) \cdot d_2 = 1) + 1 \times P(d_0 \cdot \text{inv}(d_1) \cdot \text{inv}(d_2) = 1) \\
& + 2 \times P(\text{inv}(d_0) \cdot d_1 \cdot \text{inv}(d_2) = 1) + 0 \times P(\text{inv}(d_0) \cdot \text{inv}(d_1) \cdot \text{inv}(d_2) = 1)
\end{aligned}$$

から計算することができる。

【0010】ここで、 $P(d_0 \cdot \text{inv}(d_1) \cdot d_2 = 1)$  は、 $d_0 = d_2 = 1$ かつ $d_1 = 0$ になる確率を示し、また、個々の係数は、 $d_0 \sim d_2$ までの時間において、状態が遷移する回数を示すものである。また、記号シミュレーションにおいては、 $d_0 \cdot d_1 \cdot d_2$ 、 $\text{inv}(d_0) \cdot d_1 \cdot d_2$ 等を表す二分決定グラフ (BD D) を作成することによって確率の計算を行う。

#### 【0011】

【発明が解決しようとする課題】しかし、従来手法においては、遷移可能なあらゆる時刻に関して二分決定グラフを作成する必要があり、このようにすると、記憶領域、演算量とともに、回路の規模に対して指数的に増大し、したがって、従来手法で実用規模の回路を取扱うことが困難であるという問題がある。

【0012】本発明は、従来手法と同程度の精度を維持しつつ、より大きな規模の組合せ回路について、その論理ゲートの遷移数を、より高速に見積る方法を提供することを目的とするものである。

#### 【0013】

【課題を解決するための手段】本発明は、組合せ回路の信号遷移数を見積る場合、グリッヂに起因する信号遷移数と、上記グリッヂに起因しない信号遷移数とを分離して、信号遷移数を求める方法である。

#### 【0014】

【発明の実施の形態および実施例】図1は、本発明の一実施例である信号遷移数の見積り方法を実現する装置のブロック図である。

【0015】この装置は、制御部1と、入力部2と、整列部3と、遷移時刻算出部4と、遷移数上限算出部5と、信号確率算出部6と、非グリッヂ成分算出部7と、グリッヂ成分算出部8と、出力部9とを有する。

【0016】制御部1は、図2に示す制御を実行するものである。入力部2は、組合せ回路の接続情報、組合せ回路の外部入力 $x_i$  ( $i = 1, \dots, n_{IN}$ ) の信号確率 $p_{x_i}$  ( $i = 1, \dots, n_{IN}$ ) を入力するものである。整列部3は、組合せ回路の接続情報に従って、論理ゲートについてトポジカルソートを実行するものである。

【0017】遷移時刻算出部4は、組合せ回路中の論理ゲートの出力において論理信号の遷移が起こり得る時刻を求めるものである。この時刻は、次に示す方法で求める。つまり、外部入力端子において遷移の起こる時刻を

時間の原点とする。外部入力端子において、遷移は、全ての端子において同時に、高々1回のみ起こり得る。したがって、ある論理ゲートに着目したときに、そのゲートの出力において遷移が起こり得る時刻は、外部入力端子からそのゲート出力に至る経路上における全てのゲート遷延と全ての配線遷延との合計によって求めることができる。したがって、そのような全ての出力が遷移し得る全ての時刻を求めることができる。

【0018】遷移数上限算出部5は、組合せ回路中の論理ゲートの出力が1周期当たりに遷移する数の上限値 $N^Y_{sup}$ を求めるものである。この上限値 $N^Y_{sup}$ は、次のようにして求める。つまり、ある論理ゲートYの出力において遷移が起こり得る時刻を $t_1, \dots, t_{nt}$ とし、ゲートの遷延をdとし、ゲート入力 $A_i$  ( $i = 1, \dots, m$ ) の遷移数の上限値を $N^{Ai}_{sup}$ とすると、遷移数の上限値 $N^Y_{sup}$ は次の式で表される。

#### 【0019】

#### 【数2】

$$N^Y_{sup} = \min(n_t, \sum_{i=1}^m N^{Ai}_{sup}, \text{int}(\frac{|t_{nt} - t_1|}{d} + 1)) \quad (2)$$

上記式の最後の項は、慣性遷延を考慮することによる制限である。外部入力については、その遷移数の上限値は1であるから、この上限値1と遷移時刻算出部4において求めた遷移時刻とに応じて、組合せ回路中の全てのゲートについて、遷移数の上限値を求めることができる。

【0020】信号確率算出部6は、組合せ回路中の論理ゲートの信号確率を求めるものであり、ある論理ゲートYの信号確率 $p^Y$ を求めるには、外部入力 $x_i$  ( $i = 1, \dots, n_{IN}$ ) を変数とし、論理ゲートYを表す二分決定グラフ (BDD) を作成し、BDDの各節点が1になる確率を計算すればよい。

【0021】非グリッヂ成分算出部7は、遷延を考慮しないゼロ遷延モデルにおける各論理ゲートの遷移数を求めるものである。ある論理ゲートYにおける信号遷移数のうちで、グリッヂに起因しない信号遷移数 $N^Y_0$ は、信号確率算出部で求めた $p^Y$ を用いて、 $N^Y_0 = 2p^Y(1 - p^Y)$ から、求めることができる。

【0022】グリッヂ成分算出部8は、最大遷移数が2以上である論理ゲートに対して、上記グリッヂによる遷移数を求めるものである。

【0023】この例として、入力A、Bを持つNANDゲートYを考える。この場合、出力が $0 \rightarrow 1 \rightarrow 0$ のように変化するものを「(0, 0) グリッヂ」、 $1 \rightarrow 0 \rightarrow 1$ のように変化するものを「(1, 1) グリッヂ」と、便宜的に呼ぶことにする。

【0024】上記の例において、入力信号にグリッヂが含まれておらず、時刻 $t_A$ に入力Aが $0 \rightarrow 1$ に遷移し、遅れて時刻 $t_B$ に入力Bが $1 \rightarrow 0$ に遷移した場合、出力Yには(1, 1) グリッヂが発生する。一般には、入力

Aと入力Bとは独立ではないが、これを独立とみなす、このようなグリッチが発生する確率  $P^Y_{11}$  は、  
$$p^Y_{11} = (1 - p^A) p^A p^B (1 - p^B)$$

と近似する。2入力NANDゲートの場合、(0, 0) グリッチが発生する確率  $P^Y_{00}$  は0である。

【0025】一方、入力Aにグリッチがある場合、このグリッチが出力に現れるためには、入力Bが1であることが必要である。したがって、出力にグリッチが発生する確率は、

$$p^Y_{00} = p^A_{11} p^B + p^B_{11} p^A$$

$$p^Y_{11} = p^A_{00} p^B + p^B_{00} p^A$$

と表される。

【0026】以上によって、2入力NANDゲートの場合、グリッチによる遷移数  $N^Y_{glitch}$  を、  
$$N^Y_{glitch} = 2 \times [(1 - p^A) p^A p^B (1 - p^B) + p^A_{11} p^B + p^B_{11} p^A + p^A_{00} p^B + p^B_{00} p^A]$$

で求めることができ、つまり、ゲート入力の信号確率とグリッチ発生確率に基づいて、グリッチによる遷移数  $N^Y_{glitch}$  を求めることができる。このゲートの遷移数  $N^Y$  は、  
$$N^Y = N^Y_{00} + N^Y_{glitch}$$

から求めることができる。

【0027】他のゲートに関して、上記と同様に  $p_{00}, p_{11}$  を定義し、 $P^{x_i}_{00} = P^{x_i}_{11} = 0$  ( $i = 1, \dots, n_{IN}$ ) を与えると、全てのゲートに関して、 $N_{glitch}$  を近似的に求めることができる。したがって、全てのゲートに対して、グリッチを考慮した信号遷移数を求めることができる。

【0028】出力部9は、組合せ回路中の各論理ゲートの遷移数の一覧表を出力するものである。

【0029】次に、上記実施例の動作について説明する。

【0030】図2は、上記実施例における制御部1の動作を示すフローチャートである。

【0031】図2に示すフローチャートにおいて、まず、入力部2を起動し、組合せ回路の接続情報、組合せ回路の外部入力  $x_i$  ( $i = 1, \dots, n_{IN}$ ) の信号確率  $p^{x_i}$  ( $i = 1, \dots, n_{IN}$ ) を入力し(S1)、組合せ回路の接続情報に対して、整列部3を起動し、組合せ回路に含まれる論理ゲートについてトポジカルソートを行う(S2)。そして、遷移時刻算出部4を起動し、各論理ゲートの出力が遷移し得る時刻を算出し(S3)、遷移数上限算出部5を起動し、各論理ゲートの出力の1周期当たりの最大遷移可能回数を算出する(S4)。その後、信号確率算出部6を起動し、各論理ゲートの信号確率を算出し(S5)、ステップS2において整列された順序に従って、1番目の論理ゲートを選択する(S6)。

【0032】その後、選択された論理ゲートに対して非

グリッチ成分算出部7を起動し、論理ゲートの遷移数のグリッチによらない成分を算出し、これを当該論理ゲートの信号遷移数とする(S7)。

【0033】ステップS4で得られたこの論理ゲートの最大遷移可能回数  $N_{sup}$  が2以上であれば(S8)、選択されている論理ゲートに対してグリッチ成分算出部を起動し、グリッチに起因する信号遷移数を算出する(S9)。

【0034】上記のように、ステップS7において、グリッチに起因しない信号遷移数を算出し、ステップS9においてグリッチに起因する信号遷移数を算出しているので、上記実施例では、グリッチに起因する信号遷移数と、グリッチに起因しない信号遷移数とを分離して、信号遷移数を求めている。

【0035】そして、論理ゲートの最大遷移可能回数  $N_{sup}$  が2以上であれば、ステップS7で得られたグリッチに起因しない信号遷移数と、ステップS9で得られたグリッチに起因する遷移数とを合計したものを、改めて当該論理ゲートの信号遷移数とする(S10)。

【0036】そして、遷移数を算出すべき論理ゲートの合計数  $n_{MAX}$  まで論理ゲートの遷移数が算出されていなければ(S11)、論理ゲートの数  $n$  を1インクリメントし(S12)、ステップS6に戻る。つまり、ステップS2において整列された順序に従って次の論理ゲートを選択し、この選択された論理ゲートについて、上記と同様にして遷移数の算出を実行する。そして、 $n_{MAX}$  個の論理ゲートについてその遷移数の算出が終了したら、出力部9を起動し、遷移数の一覧表を出力して制御を終了する。

【0037】ところで、従来手法では、グリッチに起因する信号遷移を、グリッチに起因しない信号遷移と区別しないので、信号遷移が起こり得る全ての時刻に関して二分決定グラフを作成する必要があり、このために、計算量と必要な記憶容量とが、回路の規模に対して指数的に増大する。ところが、上記実施例では、まず、ゼロ遷延モデルの下で各論理ゲートの信号確率を求め、これを用いて、グリッチに起因しない信号遷移数を算出し、また、信号確率と、論理ゲートにグリッチが入力する確率に基づいて、この論理ゲートの出力にグリッチが発生する確率を求め、これを用いて、遷移数のグリッチによる成分を算出するので、信号遷移が起こり得る全ての時刻に関して二分決定グラフを作成する必要がない。

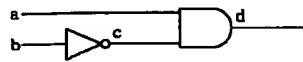
【0038】つまり、上記実施例は、各論理ゲートの信号確率の計算に二分決定グラフを用いる場合でも、従来手法よりも、計算量と必要な記憶容量とを大幅に削減することができ、大規模回路を高速に取り扱うことができる。

【0039】すなわち、上記実施例は、グリッチに起因する信号遷移数を所定論理ゲートについて求める段階と、上記所定論理ゲートについて上記グリッチに起因し

ない信号遷移数を求める段階とを分離する信号遷移数の見積り方法である。具体的には、遅延を考慮しないゼロ遅延モデルに基づいて、上記所定論理ゲートが論理値1を出力する確率を求める第1の段階と、上記第1の段階によって求められた論理値1を出力する確率に基づいて、上記所定論理ゲートについて上記グリッヂに起因しない信号遷移数を求める第2の段階と、遅延を考慮する慣性遅延モデルに基づいて、上記所定論理ゲートにおける信号遷移数の上限値を求める第3の段階と、上記第1の段階によって求められた上記所定論理ゲートが論理値1を出力する確率と、上記第3の段階によって求められた信号遷移数の上限値に基づいて、上記所定論理ゲートにおいて上記グリッヂが発生する確率とを求める第4の段階と、上記所定論理ゲートに上記グリッヂが入力される確率と、上記第1の段階によって求められた上記所定論理ゲートが論理値1を出力する確率とにに基づいて、上記所定論理ゲートの出力端子に上記グリッヂが伝播する確率を求める第5の段階と、上記第4の段階によって求められたグリッヂ発生確率と、上記第5の段階によって求められたグリッヂ伝播確率とにに基づいて、上記所定論理ゲートの出力におけるグリッヂに起因する信号遷移数を求める第6の段階とを有する信号遷移数の見積り方法である。

【0040】

【図3】



【発明の効果】本発明においては、遅延を考慮した遷移数の見積りを、グリッヂに起因する信号遷移数と、グリッヂに起因しない信号遷移数とを区別して算出するので、従来例と同程度の精度を維持しつつ、従来例よりも大規模な回路に対して、より高速に信号遷移数を算出することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例である信号遷移数の見積り方法を実現する装置のブロック図である。

【図2】上記実施例における制御部1の動作を示すフローチャートである。

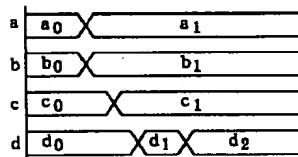
【図3】従来例における記号シミュレーションを説明する回路図である。

【図4】図3に示す回路のタイミング図である。

【符号の説明】

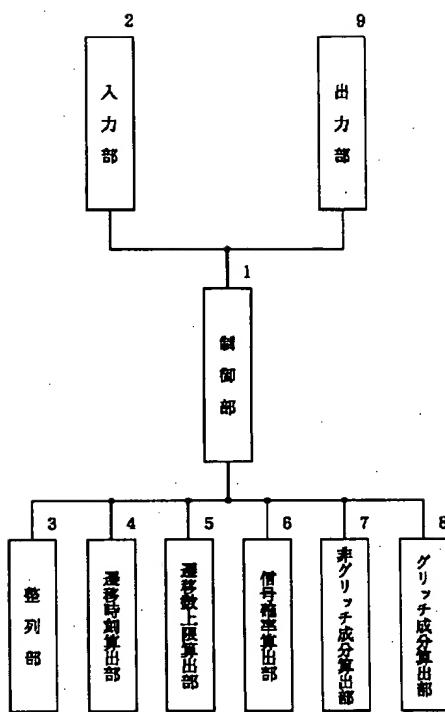
- 1…制御部、
- 2…入力部、
- 3…整列部、
- 4…遷移時刻算出部、
- 5…遷移数上限算出部、
- 6…信号確率算出部、
- 7…非グリッヂ成分算出部、
- 8…グリッヂ成分算出部、
- 9…出力部。

【図4】



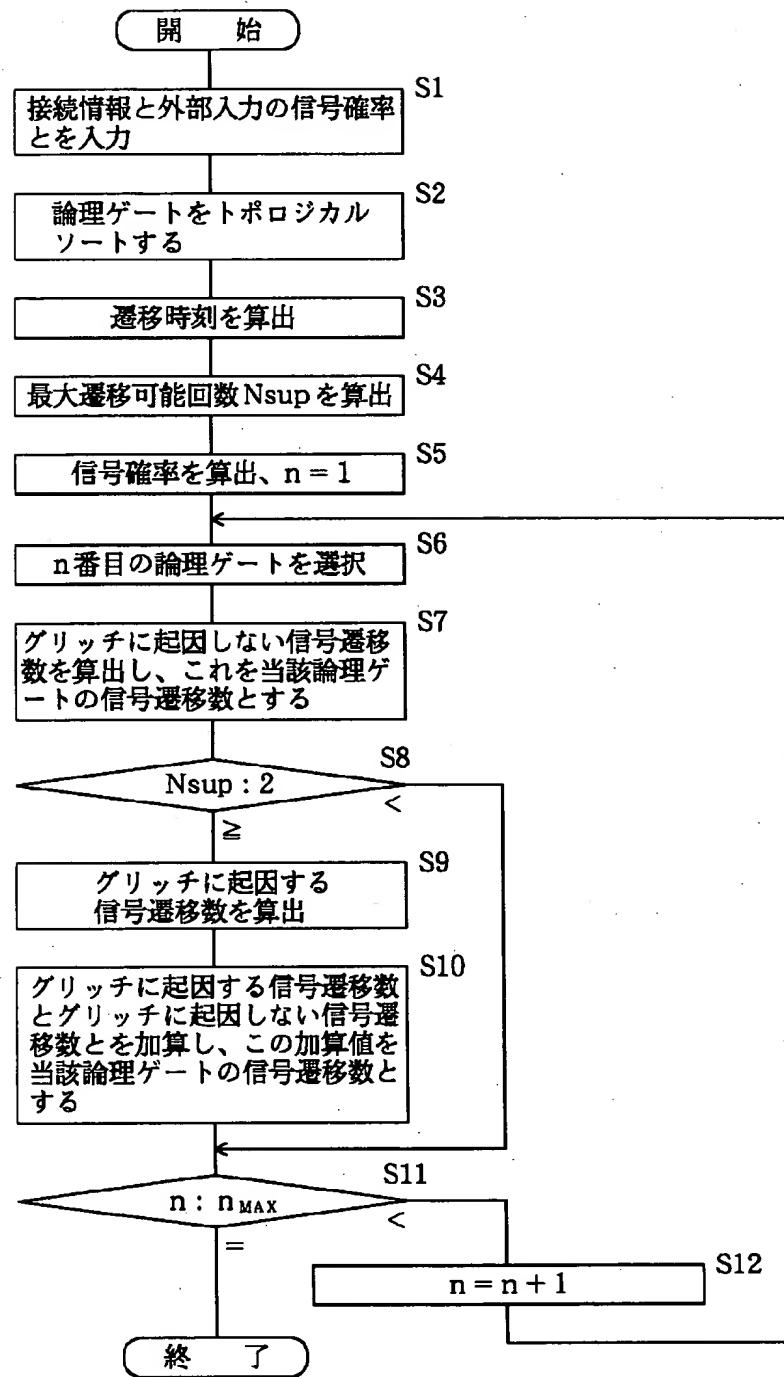
K3742

【図1】



K3742

【図2】



K3742